



(19)

(11) Publication number:

09190693 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 08002516

(51) Intl. Cl.: G11C 11/41

(22) Application date: 10.01.96

(30) Priority:

(43) Date of application publication: 22.07.97

(84) Designated contracting states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: KASHIHARA HIROTSUGU
SHIOMI TORU

(74) Representative:

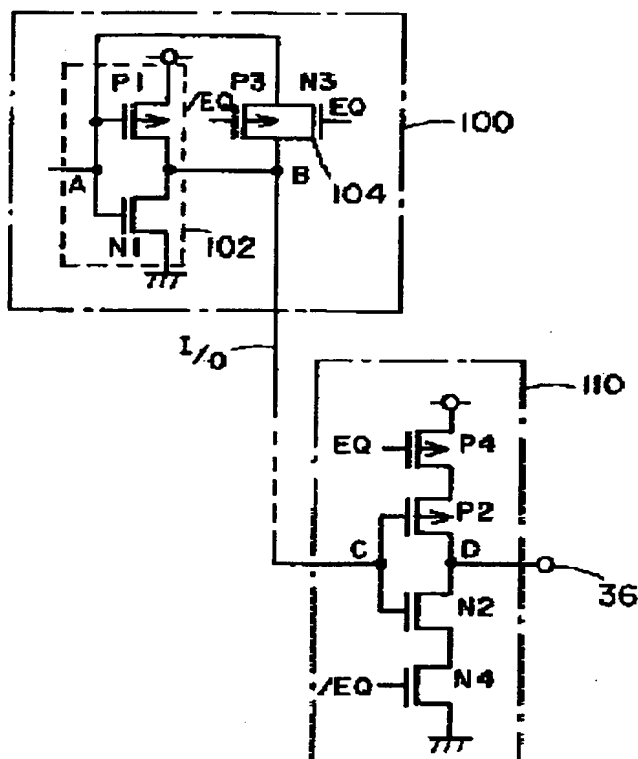
(54) SEMICONDUCTOR MEMORY

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory which can suppress occurrence of a through current when equalization of potentials of signal transmission lines is performed.

SOLUTION: Input node A of a buffer circuit 100 is connected to output node B by a transmission gate 104 controlled by an equalizing signal EQ. An output driving circuit 110 includes a clocked inverted circuit which is made to be in a non-activation state during a period in which the equalizing signal EQ is an activation state. During a period in which the equalizing signal EQ is made to be in an activation state, the transmission gate 104 is made to be in a continuity state, a potential of an I/O line is intermediate potential level, as the clocked inverter circuit is controlled by the signal EQ and it is made to be in a non-activation state, a through current does not occur in this circuit.

COPYRIGHT: (C)1997,JPO



【特許請求の範囲】

【請求項1】 内部信号を伝達するデータ線と、第1の入力ノードと前記内部信号を前記データ線に出力する第1の出力ノードとを含む第1のバッファ回路と、前記データ線により伝達された前記内部信号を受ける第2のバッファ回路とを備え、

前記データ線のプリチャージを指示する第1のタイミング信号が活性である期間においては、前記第1のバッファ回路は、前記第1の入力ノードと前記第1の出力ノードとを同電位とし、かつ、前記第2のバッファ回路は、電源電位の供給が遮断される、半導体記憶装置。

【請求項2】 内部信号を伝達するデータ線と、前記内部信号を前記データ線に出力し、第1および第2の電源電位が供給される第1のバッファ回路とを備え、前記第1のバッファ回路は、前記データ線のプリチャージを指示する第1のタイミング信号が活性である期間は、前記第1のバッファ回路の第1の入力ノードと第1の出力ノードとを短絡するイコライズ手段とを含み、

前記データ線により伝達された前記内部信号を受ける第2の入力ノードを含み、前記第1および前記第2の電源電位が供給される第2のバッファ回路をさらに備え、前記第2のバッファ回路は、前記第1のタイミング信号が活性である期間は、前記第1および前記第2の電源電位との接続を遮断する第1のスイッチ手段を含む、半導体記憶装置。

【請求項3】 内部信号を伝達するデータ線と、前記データ線のプリチャージを指示する第1のタイミング信号の活性化に応じて、第1の所定時間遅延して活性状態となり、前記第1のタイミング信号の不活性化に応じて不活性状態となる第2のタイミング信号と、前記第1のタイミング信号の活性化に応じて活性状態となり、前記第1のタイミング信号の不活性化に応じて、第2の所定時間遅延して不活性状態となる第3のタイミング信号とを出力するタイミング制御手段と、

前記内部信号を前記データ線に出力し、第1および第2の電源電位が供給される第1のバッファ回路とを備え、前記第1のバッファ回路は、

前記第1のタイミング信号が活性である期間は、前記第1のバッファ回路の入力ノードと出力ノードとを短絡するイコライズ手段と、

前記第2のタイミング信号が活性である期間は前記第1および前記第2の電源電位との接続を遮断状態とする第1のスイッチ手段とを含み、

前記データ線により伝達された前記内部信号を受け、前記第1および前記第2の電源電位が供給される第2のバッファ回路をさらに備え、

前記第2のバッファ回路は、

前記第3のタイミング信号が活性である期間は前記第1および前記第2の電源電位との接続を遮断状態とする第

2のスイッチ手段を含む、半導体記憶装置。

【請求項4】 前記第1のタイミング信号が活性である期間中は、前記第2のバッファ回路の第2出力ノードと、前記第2の電源電位との接続を導通状態とする、プルアップ手段をさらに備える、請求項2記載の半導体記憶装置。

【請求項5】 前記第1のタイミング信号が活性である期間中は、前記第2のバッファ回路の第2の出力ノードと、前記第1の電源電位との接続を導通状態とする、プルダウン手段をさらに備える、請求項2記載の半導体記憶装置。

【請求項6】 前記第2のバッファ回路は、前記第1および前記第2の電源電位との間に接続され、前記内部信号を入力として受ける論理ゲート回路と、前記論理ゲート回路の出力を受けて、出力電位レベルを保持するラッチ手段とをさらに含み、前記第1のスイッチ手段は、前記第1および第2の電源と前記論理ゲート回路との接続を開閉し、前記ラッチ手段は、

前記論理ゲート回路の出力を入力として受ける第1の反転回路と、

前記第1の反転回路の出力を入力として受ける第2の反転回路を有し、

前記第1の反転回路は、前記第2の反転回路の出力を入力として受ける、請求項2記載の半導体記憶装置。

【請求項7】 内部信号を伝達するデータ線と、前記内部信号を前記データ線に出力し第1および第2の電源電位が供給される第1のバッファ回路とを備え、前記第1のバッファ回路は、

第1のタイミング信号が活性である期間は、前記第1のバッファ回路の入力ノードと出力ノードとを短絡するイコライズ手段を含み、

前記データ線により伝達された前記内部信号を受け、前記第1および前記第2の電源電位が供給される第2のバッファ回路をさらに備え、

前記第2のバッファ回路は、

前記第1のタイミング信号よりも所定の時間だけ遅延した第2のタイミング信号が活性である期間は、遮断状態となる第3のスイッチ手段と、

前記第1および前記第2の電源電位との間に接続され、前記内部信号を入力として受ける論理ゲート回路と、前記論理ゲート回路の出力を受けて、出力電位レベルを保持するラッチ手段とをさらに含み、

前記第3のスイッチ手段は、前記第1および第2の電源と前記論理ゲート回路との接続を開閉し、

前記ラッチ手段は、

前記論理ゲート回路の出力を入力として受ける第1の反転回路と、

前記第1の反転回路の出力を入力として受ける第2の反転回路を有し、

前記第1の反転回路は、前記第2の反転回路の出力を入力として受け、前記第2の反転回路は、
前記第1のタイミング信号が活性である期間は、前記第2の反転回路と前記第1および前記第2の電源電位との接続を導通状態とする第4のスイッチ手段を有する、半導体記憶装置。

【請求項8】 内部信号を伝達するデータ線と、
前記内部信号を前記データ線に出力し、第1および第2の電源電位が供給される第1のバッファ回路とを備え、
前記第1のバッファ回路は、
第1のタイミング信号が活性である期間は、前記第1のバッファ回路の第1の入力ノードと第2の出力ノードとを短絡するイコライズ手段と、
前記第1のタイミング信号よりも所定の時間だけ遅延した第2のタイミング信号が活性である期間は、前記第1のバッファ回路と前記第1および第2の電源電位との接続を遮断状態とする第5のスイッチ手段とを含み、
前記データ線により伝達された前記内部信号を受け、前記第1および前記第2の電源電位が供給される第2のバッファ回路をさらに備え、
前記第2のバッファ回路は、
前記内部信号を受け、前記第1のタイミング信号が活性な期間は遮断状態となる第6のスイッチ手段と、
前記第6のスイッチ手段の出力を受けて、出力電位レベルを保持するラッチ手段とを含む、半導体記憶装置。

【請求項9】 前記ラッチ手段は、
前記第6のスイッチ手段の出力を入力として受ける第1の反転回路と、
前記第1の反転回路の出力を入力として受ける第2の反転回路を有し、
前記第1の反転回路は、前記第2の反転回路の出力を入力として受け、
前記第2の反転回路は、前記第1のタイミング信号が活性である期間は、前記第2の反転回路と前記第1および前記第2の電源電位との接続を導通状態とする第7のスイッチ手段を有する、請求項8記載の半導体記憶装置。

【請求項10】 複数のメモリセルを有するメモリセルアレイと、
前記複数のメモリセルのうち、対応するメモリセルとそれぞれ接続する複数のビット線対と、
前記各ビット線対と電源との間に接続されるビット線負荷手段と、
第1のタイミング信号の活性化に応じて、前記各ビット線対の電位を同電位とするビット線イコライズ手段と、
前記ビット線負荷手段と前記ビット線イコライズ手段との間に接続され、前記第1のタイミング信号が活性である期間中は、遮断状態となるスイッチ手段とを備える、半導体記憶装置。

【請求項11】 複数のメモリセルを有するメモリセルアレイと、

前記複数のメモリセルのうち、対応するメモリセルとそれぞれ接続する複数のビット線対と、
前記各ビット線対と電源との間に接続されるビット線負荷手段と、
第1のタイミング信号の活性化に応じて、前記各ビット線対の電位を同電位とするビット線イコライズ手段とを備え、
前記ビット線負荷手段は、前記第1のタイミング信号が活性である期間およびメモリセルへのデータ書込動作期間は、前記ビット線対と前記電源との接続を遮断状態とする、半導体記憶装置。

【請求項12】 前記ビット線負荷手段は、前記ビット線対のそれぞれ接続する1対のMOSトランジスタであり、
前記第1のタイミング信号と外部からの書込制御信号を受け、いずれか一方が活性である期間は、活性な負荷制御信号を出力する負荷制御手段をさらに備え、
前記1対のMOSトランジスタは、前記負荷制御信号をゲートに受け、前記負荷制御信号が活性である期間は遮断状態となる、請求項11記載の半導体記憶装置。

【請求項13】 前記複数のメモリセルのうちから、特定のメモリセルを選択するための外部からのアドレス信号を受け、前記アドレス信号の遷移を検出して前記第1のタイミング信号を出力するアドレス遷移検出手段をさらに備える、請求項1から12のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体記憶装置に関し、特に、データ信号の伝送を高速化するためにデータ線の電位を等電位化するイコライズ回路を含む半導体記憶装置に関する。

【0002】

【従来の技術】 スタティック型半導体記憶装置（以下、SRAMと呼ぶ。）やダイナミック型半導体記憶装置（以下、DRAMと呼ぶ。）等の半導体記憶装置においては、メモリセルアレイ中の、どのメモリセルに対してアクセスするのかを指示するために、通常、複数本で構成されるアドレス線を介して、外部からアドレス信号が与えられる。半導体記憶装置の内部では、このアドレス線に印加されたアドレス信号をデコードして、半導体記憶装置内部の対応するメモリセルに対するアクセス動作が行なわれる。このとき、アドレス線にアドレス信号が印加されたタイミングを検出する方法として、アドレス信号線のうちいずれか一方に対して与えられるアドレス信号が変化したことを検出すると、新しいアドレス信号が印加されたことと見なす方法が用いられる場合がある。

【0003】 上記のようなタイミング検出のために使用されるのが、アドレス変化検出回路（以下、ATD回路と呼ぶ。）である。

【0004】半導体記憶装置における高速なアクセス動作を実現するためには、データを外部に読出す信号線であるI/O線の信号伝達の高速化が重要である。一般に、I/O線の寄生容量は大きく、データ読出速度を律速する1つの要因となっているからである。

【0005】上記高速化のためには、I/O線に素早くメモリセル信号を読出すこと、すなわち、I/O線上の信号電圧を低振幅化し、それを高速に増幅できるメインアンプを用いることが必要である。これには、外部入力アドレスが切換わり、その切換わったアドレスに対応するメモリセルの接続するデータ線が選択される毎に、アドレスが切換わったことを素早く検出できればよい。この場合、この検出信号を内部クロックと見なして、予めI/O線をプリチャージしておき、データ線が選択されるのを待つという動作が可能となる。ここで、プリチャージされる電圧は、たとえば、I/O線上の2進情報に対応した電圧の中間値に選んでおく。すると、次に選択されるデータ線は、I/O線に残っている、以前に選択され出力された情報電圧をわざわざ反転させる必要はなく、中間値から充放電すればよいので、高速動作が可能となる。

【0006】また、低振幅用の高速メインアンプとしては、カレントミラーアンプが多用されるが、このアンプは、常時電流が流れるのが問題である。ここでATD回路を用いれば、その検出信号を用いて、増幅に必要な短い時間帯のみ上記メインアンプをオン状態とし、その他の時間においてはオフ状態とすることが可能である。つまり、高速かつ低消費電力なメインアンプが実現できる。

【0007】図20は、従来のSRAM2000の回路構成を示す概略ブロック図である。以下、その動作について簡単に説明する。

【0008】外部から制御信号入力端子4に入力されるチップセレクト信号CSにより動作状態が設定された場合、制御回路10で発生された内部制御信号が各周辺回路を動作状態に設定し、以下の動作が行なわれる。

【0009】アドレス信号入力端子に与えられた外部アドレス信号Ext. Addは、アドレス入力バッファ8に入力され、信号Ext. Addのうち、行アドレス信号は、行アドレス選択デコーダ12に転送され、信号Ext. Addにより選択されたメモリセルの接続しているワード線17を選択する。一方、列アドレス信号は列アドレス選択デコーダ16に転送され、ビット線選択トランスファークロップ18をオン状態とし、信号Ext. Addにより選択されたメモリセルが接続するビット線対20とI/O線対26を接続する。以上のようにして選択されたワード線14およびビット線対20の交点に位置するメモリセル22に対してアクセスが行なわれる。

【0010】まず、外部制御信号入力端子6に入力され

た書込制御信号/WEにより読出動作が設定された場合、ビット線対20により予め一定電圧に昇圧されたビット線対20にメモリセル22からのデータが出力される。このデータは、ビット線対20からビット線対選択トランスファークロップ18、I/O線対26を介してセンスアンプ28に伝えられる。ビット線対20選択用アドレスの上位アドレスで選ばれたセンスアンプ28によって、さらに増幅されたデータ信号は、データ出力バッファ32を介して、データ入出力信号端子36に読出データとして出力される。

【0011】一方、書込制御信号/WEで書込動作が設定された場合は、データ入出力信号端子36から入力されたデータは、データ入力バッファ34を介してライトドライバ回路30に転送される。ライトドライバ回路30は、I/O線対26を駆動し、ビット線選択トランスファークロップ18およびビット線対20を介して選択されたメモリセル22にデータを書込む。

【0012】SRAMでは高速化のため、上述のとおり列アドレス選択デコーダ16に含まれるATD回路(図示せず)を利用してI/O線対の電位を予めイコライズしておくという手法がしばしば利用される。

【0013】図18は、センスアンプ回路28に含まれ、センスアンプに増幅されたメモリセルからの読出データを読み出しI/O線に伝えるバッファ回路2002の構成を示す回路図である。バッファ回路2002は、PチャネルMOSトランジスタP1およびNチャネルMOSトランジスタN1とが電源電位Vccと接地電位Vssとの間に直列に接続されたインバータ回路2004を含む。センスアンプによって増幅されたメモリセルからの読出データは、インバータ回路2004の入力ノードAに与えられ、インバータ2004は、反転した信号をその出力ノードBに出力し、ノードBに接続するI/O線に読出データを伝える。

【0014】出力バッファ2100は、電源電位Vccおよび接地電位Vssとの間に直列に接続するPチャネルMOSトランジスタP2およびNチャネルMOSトランジスタN2からなるインバータ回路2102を含む。インバータ回路2102は、I/O線の電位を入力として受け、その出力ノードはデータ入出力信号端子36と接続する。すなわち、センスアンプにより増幅された読出データは、インバータ回路2004により一度反転されて読出I/O線に伝えられ、インバータ回路2102により再び反転されてデータ入出力信号端子36に出力される。

【0015】バッファ回路2002は、インバータ回路2004の入力ノードAと出力ノードBとの間に並列に接続されるPチャネルMOSトランジスタP3およびNチャネルMOSトランジスタN3を含む。NチャネルMOSトランジスタN3のゲートには、イコライズ信号EQが入力し、PチャネルMOSトランジスタP3のゲ

トは、イコライズ信号EQの反転信号である信号/EQが入力している。したがって、信号EQが活性状態（“H”レベル）となることにより、PチャネルMOSトランジスタP3およびNチャネルMOSトランジスタN3により構成されるトランスミッションゲートが導通状態となって、インバータ2004の入力ノードAと出力ノードBの電位がイコライズされる。予め、出力ノードBの電位が、論理レベルの中間電位にされていることで、センスアンプ出力が変化したときに、高速に読出I/O線の電位が変化する。

【0016】上記の回路の動作を図19に示したタイミングチャートにより詳しく説明する。時刻t0において、インバータ回路2004の入力ノードAの電位が“H”レベルであって、出力ノードBの電位が“L”レベルであるものとする。ATD回路により、外部アドレス信号が変化したことが検出されると、それに応じてイコライズ信号EQが時刻t1において活性状態となる。これにより、バッファ回路2002中のPチャネルMOSトランジスタP3およびNチャネルMOSトランジスタN3がともにオン状態となって、時刻t2においてノードAおよびノードBの電位が等しい値、すなわち“H”レベルと“L”レベルの中間レベルになる。時刻t3において、信号EQが不活性状態（“L”レベル）となり、入力ノードA点の電位レベルは、読出データに応じて“H”レベルから“L”レベルに変化する。これに応じて、インバータ回路2004の出力ノードB点の電位も“H”レベルに変化することになるが、この場合、予めノードBの電位が中間レベルとなっているため、“H”レベルに達するまでの時間が短縮され、読出データはより高速に出力されることになる。

【0017】

【発明が解決しようとする課題】しかしながら、時刻t1から時刻t3までのイコライズ期間中は、トランジスタP2およびN2からなるインバータ回路2102のゲートには中間電位が印加されるため、図19に示したように、時刻t2から時刻t3の期間はこのインバータ回路2102には貫通電流が流れる。また、トランジスタP1およびN1からなるインバータ回路2004についても、入力電位は中間電位となるため、このインバータ回路についても貫通電流が流れることになる。

【0018】さらに、以下に説明するように、イコライズ動作に伴う貫通電流は上記のバッファ回路2002およびデータ出力バッファ回路2102において発生するだけでなく、メモリセル部分においても発生する。

【0019】図21は、従来のSRAM2000におけるメモリセルアレイの1カラム（列）の構成を示す要部概略ブロック図である。

【0020】複数のメモリセル22がビット線対BLおよびBLに接続され、ビット線対と電源電位Vccとの間には、それぞれビット線負荷のPチャネルMOSト

ランジスタP21およびP22が接続されている。外部アドレス信号Ext. Addにより選択されるメモリセルが切換わるとき、ビット線電位を高速に変化させるため、しばしばビット線イコライズトランジスタPチャネルMOSトランジスタP20が設けられる。PチャネルMOSトランジスタP20は、各ビット線対BLおよびBL間に接続され、ゲートに信号/EQを受ける。これによって、イコライズ信号EQが活性状態となると、ビット線対BLおよびBLの電位が、一旦中間電位にイコライズされることになる。したがって、選択されたメモリセル中の読出データに対応した電位に、ビット線対BLおよびBLの電位はより速やかに変化することが可能である。

【0021】しかしながら、ビット線対間の電位レベルをイコライズすることにより、これに接続するMOSトランジスタのゲートには中間電位が印加されることになり、電源電位Vccと接地電位Vssの間に電流パスが発生し、貫通電流が増加することになる。特に、書込動作時には、ビット線負荷トランジスタP21およびP22とライトドライバ回路30との間に大きな貫通電流が流れることになる。

【0022】従来の、SRAM2000におけるイコライズ回路は以上のように構成されているので、イコライズ動作期間中電位レベルがイコライズされるノードは中間電位となる。このため、このノードに接続している次段のインバータ回路を構成するMOSトランジスタのゲートに中間電位が入力することになり、このインバータ回路には大きな貫通電流が流れることになる。したがって、SRAM回路の消費電流の増加をもたらすという問題があった。

【0023】また、ビット線イコライズ回路においても、電源電位Vccと接地電位Vssとの間のリーク電流パスがイコライズ期間中は増加するため、やはり消費電流の増加をもたらすという問題点があった。

【0024】この発明は上記のような問題点を解決するためになされたもので、内部信号を伝達するデータ線の電位を、予め中間電位にイコライズする場合でも、このデータ線に接続するインバータ等に貫通電流が流れることのないイコライズ回路を有する半導体記憶装置を提供することである。

【0025】この発明の他の目的は、相補構成となっているデータ線対の電位レベルをイコライズする場合も、このデータ線対に接続するインバータ等に中間電位が印加されることを回避し、消費電流の増加を抑制することが可能な半導体記憶装置を提供することである。

【0026】

【課題を解決するための手段】請求項1記載の半導体記憶装置は、内部信号を伝達するデータ線と、第1の入力ノードと内部信号を前記データ線に出力する第1の出力ノードとを含む第1のバッファ回路と、データ線により

10

20

30

40

50

伝達された内部信号を受ける第2のバッファ回路とを備え、データ線のプリチャージを指示する第1のタイミング信号が活性である期間においては、第1のバッファ回路は、第1の入力ノードと第2の出力ノードとを同電位とし、かつ、第2のバッファ回路は電源電位の供給が遮断される。

【0027】請求項2記載の半導体記憶装置は、内部信号を伝達するデータ線と、内部信号をデータ線に出力し、第1および第2の電源電位が供給される第1のバッファ回路とを備え、第1のバッファ回路は、データ線のプリチャージを指示する第1のタイミング信号が活性である期間は、第1のバッファ回路の第1の入力ノードと第1の出力ノードとを短絡するイコライズ手段とを含み、データ線により伝達された内部信号を受ける第2の入力ノードを含み、第1および第2の電源電位が供給される第2のバッファ回路をさらに備え、第2のバッファ回路は、第1のタイミング信号が活性である期間は、第1および第2の電源電位との接続を遮断する第1のスイッチ手段を含む。

【0028】請求項3記載の半導体記憶装置は、内部信号を伝達するデータ線と、データ線のプリチャージを指示する第1のタイミング信号の活性化に応じて、第1の所定時間遅延して活性状態となり、第1のタイミング信号の不活性化に応じて不活性状態となる第2のタイミング信号と、第1のタイミング信号の活性化に応じて活性状態となり、第1のタイミング信号の不活性化に応じて、第2の所定時間遅延して不活性状態となる第3のタイミング信号とを出力するタイミング制御手段と、内部信号をデータ線に出力し、第1および第2の電源電位が供給される第1のバッファ回路とを備え、第1のバッファ回路は、第1のタイミング信号が活性である期間は、第1のバッファ回路の入力ノードと出力ノードとを短絡するイコライズ手段と、第2のタイミング信号が活性である期間は、第1および第2の電源電位との接続を遮断状態とする第1のスイッチ手段とを含み、データ線により伝達された内部信号を受け、第1および第2の電源電位が供給される第2のバッファ回路をさらに備え、第2のバッファ回路は、第3のタイミング信号が活性である期間は、第1および第2の電源電位との接続を遮断状態とする第2のスイッチ手段を含む。

【0029】請求項4記載の半導体記憶装置は、請求項2記載の半導体記憶装置の構成に加えて、第1のタイミング信号が活性である期間中は、第2のバッファ回路の第2の出力ノードと、第2の電源電位との接続を導通状態とするプルアップ手段をさらに備える。

【0030】請求項5記載の半導体記憶装置は、請求項2記載の半導体記憶装置の構成に加えて、第1のタイミング信号が活性である期間中は、第2のバッファ回路の出力ノードと、第1の電源電位との接続を導通状態とする、プルダウン手段をさらに備える。

【0031】請求項6記載の半導体記憶装置は、請求項2記載の半導体記憶装置の構成において、第2のバッファ回路は、第1および第2の電源電位との間に接続され、内部信号を入力として受ける論理ゲート回路と、論理ゲート回路の出力を受けて、出力電位レベルを保持するラッチ手段とをさらに含み、第1のスイッチ手段は、第1および第2の電源と論理ゲート回路との接続を開閉し、ラッチ手段は、論理ゲート回路の出力を入力として受ける第1の反転回路と、第1の反転回路の出力を入力として受ける第2の反転回路を有し、第1の反転回路は、第2の反転回路の出力を入力として受ける。

【0032】請求項7記載の半導体記憶装置は、内部信号を伝達するデータ線と、内部信号をデータ線に出力し第1および第2の電源電位が供給される第1のバッファ回路とを備え、第1のバッファ回路は、第1のタイミング信号が活性である期間は、第1のバッファ回路の入力ノードと出力ノードとを短絡するイコライズ手段を含み、データ線により伝達された内部信号を受け、第1および第2の電源電位が供給される第2のバッファ回路をさらに備え、第2のバッファ回路は、第1のタイミング信号よりも所定の時間だけ遅延した第2のタイミング信号が活性である期間は、遮断状態となる第3のスイッチ手段と、第1および第2の電源電位との間に接続され、内部信号を入力として受ける論理ゲート回路と、論理ゲート回路の出力を受けて、出力電位レベルを保持するラッチ手段とをさらに含み、第3のスイッチ手段は、第1および第2の電源と論理ゲート回路との接続を開閉し、ラッチ手段は、論理ゲート回路の出力を入力として受ける第1の反転回路と、第1の反転回路の出力を入力として受ける第2の反転回路を有し、第1の反転回路は、第2の反転回路の出力を入力として受け、第2の反転回路は、第1のタイミング信号が活性である期間は、第2の反転回路と第1および第2の電源電位との接続を導通状態とする第4のスイッチ手段を有する。

【0033】請求項8記載の半導体記憶装置は、内部信号を伝達するデータ線と、内部信号をデータ線に出力し、第1および第2の電源電位が供給される第1のバッファ回路とを備え、第1のバッファ回路は、第1のタイミング信号が活性である期間は、第1のバッファ回路の第1の入力ノードと第2の出力ノードとを短絡するイコライズ手段と、第1のタイミング信号よりも所定の時間だけ遅延した第2のタイミング信号が活性である期間は、第1のバッファ回路と第1および第2の電源電位との接続を遮断状態とする第5のスイッチ手段とを含み、データ線により伝達された内部信号を受け、第1および第2の電源電位が供給される第2のバッファ回路をさらに備え、第2のバッファ回路は、内部信号を受け、第1のタイミング信号が活性な期間は遮断状態となる第6のスイッチ手段と、第6のスイッチ手段の出力を受けて、出力電位レベルを保持するラッチ手段とを含む。

【0034】請求項9記載の半導体記憶装置は、請求項8記載の半導体記憶装置の構成において、ラッチ手段は、第6のスイッチ手段の出力を入力として受ける第1の反転回路と、第1の反転回路の出力を入力として受ける第2の反転回路を有し、第1の反転回路は、第2の反転回路の出力を入力として受け、第2の反転回路は、第1のタイミング信号が活性である期間は、第2の反転回路と第1および第2の電源電位との接続を導通状態とする第7のスイッチ手段を有する。

【0035】請求項10記載の半導体記憶装置は、複数のメモリセルを有するメモリセルアレイと、複数のメモリセルのうち、対応するメモリセルとそれぞれ接続する複数のビット線対と、各ビット線対と電源との間に接続されるビット線負荷手段と、第1のタイミング信号の活性化に応じて、各ビット線対の電位を同電位とするビット線イコライズ手段と、ビット線負荷手段と前記ビット線イコライズ手段との間に接続され、第1のタイミング信号が活性である期間中は、遮断状態となるスイッチ手段とを備える。

【0036】請求項11記載の半導体記憶装置は、複数のメモリセルを有するメモリセルアレイと、複数のメモリセルのうち、対応するメモリセルとそれぞれ接続する複数のビット線対と、各ビット線対と電源との間に接続されるビット線負荷手段と、第1のタイミング信号の活性化に応じて、各ビット線対の電位を同電位とするビット線イコライズ手段とを備え、ビット線負荷手段は、第1のタイミング信号が活性である期間およびメモリセルへのデータ書込動作期間は、ビット線対と電源との接続を遮断状態とする。

【0037】請求項12記載の半導体記憶装置は、請求項11記載の半導体記憶装置の構成に加えて、ビット線負荷手段は、ビット線対のそれぞれ接続する1対のMOSトランジスタを含み、第1のタイミング信号と外部からの書込制御信号を受け、いずれか一方が活性である期間は、活性な負荷制御信号を出力する負荷制御手段をさらに備え、1対のMOSトランジスタは、負荷制御信号をゲートに受け、負荷制御信号が活性である期間は遮断状態となる。

【0038】請求項13記載の半導体記憶装置は、請求項1から12いずれかに記載の半導体記憶装置の構成に加えて、特定のメモリセルを選択するための外部からのアドレス信号を受け、アドレス信号の遷移を検出して第1のタイミング信号を出力するアドレス遷移検出手段をさらに備える。

【0039】

【発明の実施の形態】

【実施の形態1】図3は、本発明の実施の形態1のSRAM1000の構成を示す概略ブロック図である。

【0040】図3を参照して、SRAM1000は、外部からのアドレス信号Ext. Addを受けるアドレス

入力端子群2と、アドレス入力端子群2からの外部アドレス信号Ext. Addを受けて、対応する内部行アドレス信号Int. Addrおよび内部列アドレス信号Int. Addcを出力するアドレス入力バッファ回路8と、アドレス入力バッファ回路8からの内部行アドレス信号Int. Addrを受けて、対応するメモリセルが接続するワード線14の電位を活性状態(“H”レベル)とする行アドレス選択デコーダ12と、アドレス入力バッファ回路8からの内部列アドレス信号Int. Addcを受けて、対応するメモリセル列に対して列アドレス選択信号CSLを出力する列アドレス選択デコーダ16と、列アドレス選択デコーダ16中に含まれ、アドレス入力バッファ回路8からの内部列アドレス信号Int. Addcを受けて、アドレス遷移検出信号ATDを出力するATD回路(図示せず)と、行および列方向に配列された複数のメモリセル22と、各行に対応して設けられ、行デコーダ12によりその電位が制御されるワード線14と、各列に対応して設けられ、書込時には外部からの書込データに応じて、読出時にはメモリセル22の記憶情報に応じてその電位が変化するビット線対BL、/BLと、列デコーダ16からの出力信号CSLに応じて開閉され、ビット線対BL、/BLとI/O線対26との接続を開閉するビット線選択トランスファークロート18とを含む。

【0041】SRAM1000は、さらに、電源電位Vccとビット線対BL、/BLとの間に接続され、ビット線対を所定の電位に設定するビット線負荷40と、外部制御信号入力端子4に入力されるチップセレクト信号CEおよび外部制御信号入力端子6に入力される書込制御信号/WEを受けて、入出力回路に対して、制御信号を出力する制御回路10と、制御回路10からの制御信号およびATD信号により制御され、信号CSLにより選択されたビット線対BL、/BL間の電位差を増幅し、対応する読出データを出力するセンスアンプ+I/O回路(以下、SA+I/O回路と呼ぶ。)42と、SA+I/O回路42からの読出データを受けて、対応するデータをデータ入出力信号端子36に出力するデータ出力バッファ44と、書込制御信号/WEで書込動作が設定されたときは、データ入出力信号端子36から入力されたデータを受け、対応する書込データを出力するデータ入力バッファ34と、データ入力バッファ34からの書込データを受けて、I/O線対26に対応する電位を出力するライトドライバ回路30を含む。

【0042】次に、SRAM1000の動作について簡単に説明する。外部から入力されるチップセレクト信号CSにより動作状態が設定された場合、制御回路10は、対応する内部制御信号を出力し、これを受けた各周辺回路は、対応する動作状態に設定される。アドレス入力バッファ8は、入力された外部アドレス信号Ext. Addのうち、対応する行アドレス信号を行アドレス選

択デコーダ12に転送し、所望のワード線14を選択状態（電位レベルが“H”レベル状態）とする。一方、アドレス入力バッファ8は、列アドレス信号を列アドレス選択デコーダ16に転送する。列アドレス選択デコーダ16は、選択された列に対応するビット線対BL、/BLに対して列選択信号CSLを出力し、同時に列アドレス選択デコーダ従属中のATD回路38は、活性なATD信号を出力する。信号CSLに応じて、選択されたビット線対のビット線選択トランスファークゲート18はオン状態となり、ビット線対BL、/BLはI/O線と接続される。このようにして、選択されたワード線14とビット線対20の交点に存在するメモリセル22がアクセスされる。

【0043】まず、書込制御信号/WEで読出動作が設定された場合、ビット線対20により予め一定電圧に昇圧されているビット線対20にメモリセル22からのデータが出力される。読出されたデータは、ビット線対20からビット線選択トランスファークゲート18、I/O線対26を介してセンスアンプ28に入力する。ビット線対20選択用アドレスの上位アドレスで選ばれたセンスアンプ28によって、さらに増幅された読出データは、データ出力バッファ32を介してデータ入出力信号端子36に出力される。

【0044】一方、書込制御信号/WEで書込動作が設定されたときは、データ入出力信号端子36から入力された書込データは、データ入力バッファ34を介して、ライトドライバ30に転送される。ライトドライバ30は、I/O線対の電位に対応する電位に駆動し、ビット線選択トランジスタ18およびビット線対20を介して、選択されたメモリセル22にデータを書込む。

【0045】図1は、本発明の実施の形態1のSRAM1000におけるSA+I/O回路42におけるバッファ回路100と、出力バッファ回路44に含まれる出力駆動回路110の構成を示す要部回路図である。

【0046】センスアンプ42中のバッファ回路100は、センスアンプの出力電位を受けて、対応する電位をI/O線に出力するインバータ回路102と、インバータ回路102の入力ノードAと出力ノードBとの接続をイコライズ信号EQおよび/EQに応じて開閉するトランスミッションゲート104とを含む。

【0047】インバータ回路102は、電源電位Vccと接地電位Vssとの間に直列に接続され、ゲートがともにノードAに接続するPチャネルMOSトランジスタP1およびNチャネルMOSトランジスタN1とを含む。トランスミッションゲート104は、ノードAとノードBとの間に並列に接続されるPチャネルMOSトランジスタP3およびNチャネルMOSトランジスタN3を含む。NチャネルMOSトランジスタN3のゲートは信号EQを受け、PチャネルMOSトランジスタP3のゲートは/EQを受ける。

【0048】出力駆動回路110は、ソースが電源電位Vccに接続し、ゲートにイコライズ信号EQを受けるPチャネルMOSトランジスタP4と、ソースがトランジスタP4のドレインと接続し、ゲートがI/O線と接続するPチャネルMOSトランジスタP2と、出力ノードDを介して、ドレインがトランジスタP2のドレインと接続し、ゲートがI/O線と接続するNチャネルMOSトランジスタN2と、ドレインがトランジスタN2のソースと接続し、ゲートに信号/EQを受け、ソースが接地電位Vssと接続するNチャネルMOSトランジスタN4とを含む。

【0049】出力駆動回路の出力ノードDは、データ入出力信号端子36と接続している。次にその動作について説明する。

【0050】図2は、図1に示したバッファ回路100および出力駆動回路110の動作を説明するタイミングチャートである。図17において説明した従来例と同様、時刻t0において、信号EQは不活性状態（“L”レベル）であり、インバータ回路102の入力ノードAは“H”レベルであり、出力ノードBは“L”レベルであるものとする。

【0051】時刻t1において信号ATDが活性となるのに応じて、信号EQが活性状態（“H”レベル）となると、それに応じて、トランスミッションゲート104が導通状態となる。したがって、インバータ回路102の入力ノードAと出力ノードBが電氣的に短絡し、両者の電位は“H”レベルと“L”レベルとの中間レベルに向かって変化し始める。一方、ノードBの電位レベルが中間レベルに向かって変化し始めたことに応じて、出力駆動回路110には貫通電流Iが流れ始める。一方で、信号EQが“H”レベルとなり、信号/EQが“L”レベルとなったことに応じて、PチャネルMOSトランジスタP4およびNチャネルMOSトランジスタN4は、導通状態から非導通状態に変化し始める。したがって、貫通電流Iは、時刻t2において最大値となった後、トランジスタP4およびN4が非導通状態となるのに応じて、時刻t3においてその値が0となる。

【0052】次に時刻t4において、信号EQが不活性状態（“L”レベル）となり、この時点ではノードAの電位レベルが“L”レベルに変化しているものとする。ノードBの電位レベルは“L”レベルから“H”レベルに変化し始める。このとき、信号EQおよび/EQが不活性状態となったことに応じて、トランジスタP4およびN4は非導通状態から導通状態へと変化し始める。トランジスタP2およびN2のゲートに入力する電位は中間レベルから“H”レベルに向かって変化し始めるので、電源電位Vccから接地電位Vssの間に、トランジスタP4、P2、N2およびN4を介した導通経路が形成され、再び貫通電流が流れ始める。

【0053】貫通電流Iは、時刻t5において最大値と

なった後、時刻 t_6 において、PチャネルMOSトランジスタP2がそのゲート電位が“H”レベルとなることで完全に遮断状態となることに対応してその値が0となる。

【0054】つまり、第1の実施の形態における出力駆動回路110においては、イコライズ動作の初期の期間における時刻 t_1 ～時刻 t_3 の間と、イコライズ動作が完了した後、新たな読出データが出力される時刻 t_4 ～ t_6 の間の期間においてのみ貫通電流Iが流れることになる。

【0055】したがって、従来のバッファ回路2002および出力駆動回路2004に比べると、貫通電流量が大幅に低減され、SRAM1000の消費電力も減少する。

【0056】しかも、この場合I/O線の電位のイコライズ動作は従来例と同様に行なわれるので、読出動作の伝送速度には影響が現れない。

【0057】【実施の形態2】図4は、本発明の実施の形態2のバッファ回路120と出力駆動回路110の構成を示す回路図である。実施の形態2においても、バッファ回路120は、図3に示したSA+IO42に含まれ、出力駆動回路110は、出力バッファ回路44に含まれる。

【0058】図4に示した実施の形態2におけるバッファ回路120と出力駆動回路110の構成は、以下の3点において実施の形態1のバッファ回路100および出力駆動回路110と異なる。

【0059】すなわち、第1には、バッファ回路120におけるPチャネルMOSトランジスタP1のソースと電源電位Vccとの間にPチャネルMOSトランジスタP5が接続され、NチャネルMOSトランジスタN1のソースと、接地電位Vssとの間にNチャネルMOSトランジスタN5が接続されている点である。

【0060】上記トランジスタP5、P1、N1およびN5により、インバータ回路122が構成される。

【0061】第2に、PチャネルMOSトランジスタP5のゲートには、イコライズ信号EQから所定の時間T1だけ遅延して活性状態となり、信号EQとともに不活性状態となる信号EQ1が入力し、NチャネルMOSトランジスタN5のゲートには信号EQ1とは逆相の信号/EQ1が入力する構成となっている点である。

【0062】第3に、PチャネルMOSトランジスタP4のゲートには、イコライズ信号EQの活性化とともに活性化し、イコライズ信号EQの不活性化の時点から所定の遅延時間T2だけ遅延して不活性状態となる信号EQ2が入力し、NチャネルMOSトランジスタN4のゲートには、信号EQ2と逆相の信号/EQ2が入力する構成となっている点である。

【0063】その他の点は、実施の形態1におけるバッファ回路100および出力駆動回路110の構成と同様

であり、同一部分には同一符号を付して説明は省略する。

【0064】図5は、実施の形態2のバッファ回路120と出力駆動回路110の動作を説明するタイミングチャートである。

【0065】時刻 t_0 においてイコライズ信号EQが不活性状態（“L”レベル）であり、信号EQ1は活性状態（“H”レベル）であるものとする。一方、バッファ回路120の入力ノードAの電位レベルは“H”レベルであり、出力ノードBの電位レベルは“L”レベルであるものとする。

【0066】時刻 t_1 において、イコライズ信号EQは“H”レベルとなり、それに応じて、トランスミッションゲート104は導通状態となって、入力ノードAおよび出力ノードBの電位は中間レベルに向かって変化し始める。したがって、実施の形態1と同様、バッファ回路120および出力駆動回路110のいずれにおいても、電源電位Vccから電源電位Vssに到る経路中に導通パスが形成され、貫通電流が流れ始める。

【0067】一方、時刻 t_1 において、信号EQ2は“H”レベルとなり、それに応じて、PチャネルMOSトランジスタP4およびNチャネルMOSトランジスタN4は、ともに導通状態から非導通状態に向かって変化し始める。このため、出力駆動回路110において、貫通電流は、これらのトランジスタP4およびN4により抑制される。

【0068】時刻 t_1 から所定の時間T1だけ遅延した時刻 t_2 において、信号EQ1は“L”レベルに、信号/EQ1は“H”レベルにそれぞれ変化する。このため、信号EQ1をゲートに受けるトランジスタN5および信号/EQ1をゲートに受けるトランジスタP5は、ともに導通状態から非導通状態に向かって変化し始める。このため、バッファ回路120において、電源電位Vccから接地電位Vssに到る導通経路が遮断され始め、貫通電流Iは図2に示した実施の形態1の場合に比べて減少する。

【0069】時刻 t_3 において信号EQが“H”レベルから“L”レベルに変化する。これに応じて、トランスミッションゲート回路104は遮断状態となる。一方、信号EQ1も、時刻 t_3 において“L”レベルとなるので、PチャネルMOSトランジスタP5およびNチャネルMOSトランジスタN5は、ともに非導通状態から導通状態に向かって変化し始める。つまり、バッファ回路120におけるインバータ回路122は活性状態へと変化し始める。

【0070】このとき、ノードAの電位レベルは、中間レベルからセンスアンプからの出力レベルに応じた“L”レベルに変化し始める。このため、NチャネルMOSトランジスタN1は非導通状態に向かって、PチャネルMOSトランジスタP1は導通状態に向かって変化

し始める。それに応じて、出力ノードBの電位レベルも“H”レベルに向かって変化し始める。

【0071】時刻t4において、出力ノードBの電位レベルは完全に“H”レベルとなる。一方、信号EQ2は“H”レベルから“L”レベルへと変化し、これに応じて、PチャネルMOSトランジスタP4およびNチャネルMOSトランジスタN4はともに非導通状態から導通状態へと変化する。このため、出力駆動回路110も活性状態となる。すなわち、ノードBの電位レベルの変化を受けて、出力駆動回路110は、対応するデータ入出力端子の電位レベルを変化させる。

【0072】ここで、イコライズ信号EQが時刻t1において活性状態となつてから、ノードAおよびノードBの電位レベルがイコライズされている期間である時刻t1から時刻t2までの期間では、PチャネルMOSトランジスタP4およびNチャネルMOSトランジスタN4はともに非導通状態となっているため、出力駆動回路110において、電源電位Vccから接地電位Vssに至る導通経路は遮断されている。一方、イコライズ信号EQが時刻t3において不活性状態となつてから、ノードBの電位レベルが“H”レベルとなる時刻t4までの期間においては、NチャネルMOSトランジスタN4およびPチャネルMOSトランジスタP4は完全に非導通状態となつており、出力駆動回路110において、電源電位Vccから接地電位Vssに到る導通経路も遮断されている。このため、図2に示した実施の形態1の場合に比べて、イコライズ信号EQが活性状態となつた直後および不活性状態となつた直後の貫通電流Iの量も低減される。

【0073】図6は、図5において示した信号/EQ、EQ1、/EQ1、EQおよび/EQ2を発生する出力バッファ制御回路140の構成の一例を示す概略ブロック図である。

【0074】出力バッファ制御回路140は、ATD回路38からの信号EQを受けて、反転した信号/EQを出力するインバータ回路142と、信号EQを受けて、所定の時間T1だけ遅延した信号を出力する遅延回路144と、信号EQおよび遅延回路144の出力を受け、信号/EQ1を出力するNAND回路146と、NAND回路146の出力を受けて、反転した信号EQ1を出力する反転回路148とを含む。

【0075】出力バッファ制御回路140は、さらに、信号EQを受けて、所定の時間T2だけ遅延した信号を出力する遅延回路150と、信号EQおよび遅延回路150の出力を受け、信号/EQ2を出力するNOR回路152と、NOR回路152の出力を受けて、反転した信号EQ2を出力する反転回路154とを含む。

【0076】次に、出力バッファ制御回路140の動作について説明する。まず信号EQを受けて、信号EQ1および/EQ1を出力する動作について説明する。

【0077】図5における時刻t0では、信号EQが“L”レベルであるため、NAND回路146の入力信号はともに“L”レベルであつて、その出力信号/EQ1は“H”レベルである。

【0078】時刻t1において、イコライズ信号EQが“H”レベルとなるのに応じて、NAND回路146の一方の入力信号も“H”レベルとなるが、遅延回路144からの出力信号は“L”レベルのままであるため、NAND回路146の出力信号である信号/EQ1も“H”レベルのままである。

【0079】時刻t1から所定の時間T1だけ遅延した後に、遅延回路144の出力信号のレベルも“H”レベルとなつて、NAND回路146の出力信号/EQ1も“L”レベルに変化する。

【0080】時刻t3において、信号EQが“H”レベルから“L”レベルに変化した場合、NAND回路146の一方の入力レベルが“L”レベルとなることになり、他方の入力レベルにかかわらずその出力レベルは“H”レベルとなる。すなわち、信号/EQ1は、時刻t3において、“L”レベルから“H”レベルへと変化する。これに応じて、信号EQ1は“H”レベルから“L”レベルへと変化する。

【0081】つまり、信号EQ1は、信号EQが不活性状態（“L”レベル）から活性状態（“H”レベル）に変化した場合は、所定の時間T1だけ遅延した後に“L”レベルから“H”レベルに変化する。これに対し、信号EQが活性状態から非活性状態へと変化した場合は、信号EQ1は、信号EQの変化とほぼ同時に“H”レベルから“L”レベルへと変化するようになる。

【0082】次に、信号EQ2および/EQ2を出力する動作について説明する。図5における時刻t0では、信号EQが“L”レベルであつて、遅延回路150の出力レベルも“L”レベルであるため、NOR回路152の入力信号はともに“L”レベルであつて、その出力信号/EQ2は“H”レベルである。

【0083】時刻t1において、イコライズ信号EQが“H”レベルとなるのに応じて、NOR回路152の一方の入力信号も“H”レベルとなり、これに応じて、NOR回路152の出力信号である信号/EQ2も“L”レベルへと変化する。

【0084】時刻t1から所定の時間T2だけ遅延した後に、遅延回路150の出力信号のレベルも“H”レベルとなるが、NOR回路152の出力信号/EQ2のレベルに変化はない。

【0085】時刻t3において、信号EQが“H”レベルから“L”レベルへと変化しても、遅延回路150の出力レベルは依然として“H”レベルを維持しているため、NOR回路152の出力信号である/EQ2は依然として“L”レベルを維持する。

【0086】時刻 t_3 から所定の時間 T_2 だけ遅延した後に、遅延回路150の出力信号のレベルも“L”レベルとなって、NOR回路152の2つの入力信号レベルがともに“L”レベルとなるのに応じて、その出力信号/EQ2は“H”レベルへ、信号EQ2は“L”レベルへとそれぞれ変化する。

【0087】すなわち、信号EQ2は、信号EQが不活性状態（“L”レベル）から活性状態（“H”レベル）へと変化する際は、ほぼ同時に“H”レベルへと変化するのに対し、信号EQが活性状態から不活性状態へと変化する際は、所定の時間 T_2 だけ遅延した後に“L”レベルへと変化するようになる。

【0088】以上説明したように出力バッファ制御回路140からの出力信号EQ、/EQ、EQ1、/EQ1、EQ2および/EQ2の時間変化は、図5に示したものとなり、バッファ回路120および出力駆動回路110は、図4および図5により説明したような動作を行なうこととなり、出力駆動回路110を流れる貫通電流が大幅に低減されることになる。

【0089】実施の形態2においては、イコライズ信号EQの活性化状態への変化の期間においても、活性状態から非活性状態への変化の後ノードBの電位レベルが変化する期間においても貫通電流Iが減少するため、実施の形態1よりもよりSRAM1000の消費電力を減少させることが可能である。

【0090】【実施の形態3】図7は、本発明の実施の形態3のバッファ回路100および出力駆動回路160の構成を示す回路図である。

【0091】バッファ回路100は、実施の形態1におけるバッファ回路100と同様、センスアンプからの出力信号を受けるノードAの電位レベルを反転して出力するインバータ回路102と、インバータ回路102の入力ノードAと出力ノードBをイコライズ信号EQの活性期間中短絡し同電位とするトランスミッションゲート104とを含む。インバータ回路102とトランスミッションゲート回路104の構成は実施の形態1と同様であり、同一部分には同一符号を付して説明は省略する。

【0092】出力駆動回路160は、バッファ回路100の出力電位をI/O線を介して受ける反転回路162と、反転回路162の出力を受けて、その出力レベルを保持するラッチ回路164とを含む。

【0093】反転回路162は、電源電位 V_{cc} と接地電位 V_{ss} との間に、順次直列に接続されるPチャネルMOSトランジスタP4、P2およびNチャネルMOSトランジスタN2およびN4を含む。PチャネルMOSトランジスタP4のゲートには、イコライズ信号EQが入力し、PチャネルMOSトランジスタP2およびNチャネルMOSトランジスタN2のゲートは、ともにI/O線と接続する。NチャネルMOSトランジスタN4のゲートにはイコライズ信号EQの反転信号/EQが入力

する。

【0094】ラッチ回路164は、反転回路162の出力を入力として受け、出力がデータ入出力端子36と接続する反転回路166aと、入力が反転回路166aの出力と接続し、出力が反転回路166aの入力と接続する反転回路166bとを含む。

【0095】反転回路166aは、電源電位 V_{cc} と接地電位 V_{ss} との間に出力ノードFを介して直列に接続されるPチャネルMOSトランジスタP6とNチャネルMOSトランジスタN6とを含む。トランジスタP6およびトランジスタN6のゲートは、ともに反転回路162の出力ノードDと接続する。反転回路166bは、電源電位 V_{cc} と接地電位 V_{ss} との間に出力ノードHを介して接続されるPチャネルMOSトランジスタP7と、NチャネルMOSトランジスタN7とを含む。トランジスタP7およびトランジスタN7のゲートはともに反転回路166aの出力ノードFと接続し、反転回路166bの出力ノードHは、反転回路166aの入力ノードEと接続している。

【0096】ここで、トランジスタP7およびN7のトランジスタサイズは、トランジスタP6およびN6に比べて十分小さくしてある。したがって、ラッチ回路164の入力ノードの電位レベルが“H”レベルあるいは“L”レベルに変化することで、データ入出力端子36の電位レベルはそれまで保持されていた電位レベルから、対応する値に変化する。

【0097】次に、その動作について簡単に説明する。実施の形態3のバッファ回路100および出力駆動回路160の構成は、実施の形態1におけるバッファ回路100および出力駆動回路110の構成に加えて、出力駆動回路110の出力ノードにラッチ回路164が接続された構成となっている。したがって、基本的にイコライズ信号EQの変化に伴うノードAおよびBの電位レベルの変化と貫通電流Iの変化は、図2に示したものと同様である。

【0098】異なる点は、データ入出力端子36の電位レベルが、中間レベルとなることがないことである。

【0099】すなわち、ラッチ回路164がそれ以前に出力したデータに対応する電位レベルを保持しているので、イコライズ信号EQが活性状態（“H”レベル）であって、反転回路162の入力ノードCの電位レベルが中間レベルであり、出力ノードDはフローティングとなっている期間でも、データ入出力端子36の電位レベルは“H”レベルか“L”レベルかのいずれかの値に固定されている。

【0100】つまり、データ入出力端子36の電位レベルを入力として受ける次段以降のCMOS回路においても、貫通電流が発生することが抑制され、システム全体として見た場合にその消費電力が低減されるという効果がある。

【0101】〔実施の形態4〕実施の形態3に示したバッファ回路100および出力駆動回路160の構成により、データ入出力端子36の電位レベルを入力として受けるCMOS回路の貫通電流の発生は抑制することが可能である。しかし、ラッチ回路164に inputsする電位レベル、すなわち反転回路162の出力ノードDの電位レベルが、ラッチ回路164が保持している電位レベルと反対の電位レベルに変化する際に、遅延時間の増加とラッチ回路を構成する反転回路に生じる貫通電流により消費電流の増加がある。

【0102】このため図8に示す実施の形態4においては、実施の形態3におけるラッチ回路164の構成を以下のように変更している。

【0103】実施の形態4においては、バッファ回路100の構成は実施の形態3と同様である。出力駆動回路170は、I/O線の電位レベルを入力として受けるインバータ回路172と、インバータ回路172の出力を入力として受けるラッチ回路174とを含む。

【0104】インバータ回路172は、電源電位V_{cc}と接地電位V_{ss}との間に順次接続されるPチャネルMOSトランジスタP4およびP2ならびにNチャネルMOSトランジスタN2およびN4を含む。トランジスタP4のゲートは、信号EQ1を受け、トランジスタP2およびN2のゲートは、I/O線と接続する。トランジスタN4のゲートは信号/EQ1を受ける。ここで、信号EQ1および/EQ1は、図5に示した実施の形態2とは異なり、たとえば遅延回路等により、信号EQおよび/EQに対して所定の時間T1だけ遅延して変化する信号であるものとする。

【0105】ラッチ回路174は、インバータ回路172におけるトランジスタP2およびN2の接続点の電位レベルを入力として受けるインバータ回路176aと、インバータ回路176aの出力を入力として受け、出力がインバータ回路176aの入力と接続する反転回路176bとを含む。インバータ回路176aの出力ノードとデータ入出力端子36とが接続している。

【0106】インバータ回路176bは、電源電位V_{cc}と接地電位V_{ss}との間に、順次接続されるPチャネルMOSトランジスタP8およびP7ならびにNチャネルMOSトランジスタN7およびN8を含む。トランジスタP8のゲートは、信号/EQを受け、トランジスタP7およびN7のゲートは、インバータ回路176aの出力を受け、トランジスタN8のゲートは信号EQを受ける。

【0107】次に、その動作について簡単に説明する。図9は、図8に示した、実施の形態4におけるバッファ回路100および出力駆動回路170の動作を示すタイミングチャートである。

【0108】時刻t0において、イコライズ信号EQは非活性状態（“L”レベル）であり、バッファ回路15

0の入力ノードAは、“H”レベルであり、信号EQ1は“L”レベルであるものとする。入力ノードAの電位レベルに応じて、時刻t0においては、バッファ回路100の出力ノードBの電位レベルは“L”レベルであり、出力駆動回路170の入力ノードCの電位レベルも“L”レベルであって、インバータ回路172の出力ノードDは“H”レベルである。

【0109】一方、時刻t0においては、信号EQをゲートに受けるNチャネルMOSトランジスタN8および信号/EQをゲートに受けるPチャネルMOSトランジスタP8は遮断状態であって、インバータ回路176bは不活性状態である。このため、“H”レベルであるラッチ回路170の入力ノードEの電位レベルを受けて、インバータ回路176aは、ラッチ回路170の出力ノードF、すなわちデータ入出力端子36に“L”レベルを出力している。

【0110】時刻t1において、イコライズ信号EQが“H”レベルに変化するのに応じて、トランスミッションゲート104が導通状態となり、バッファ回路100の入力ノードAおよび出力ノードBの電位レベルは、中間レベルに向かって変化し始める。これに応じて、出力駆動回路170の入力ノードCの電位レベルも“L”レベルから中間レベルに向かって変化し始め、出力駆動回路170中のインバータ回路172の出力ノードDの電位レベルは低下し始める。

【0111】しかしながら、時刻t2において、信号/EQ1が“L”レベルに、信号EQ1が“H”レベルとなることに応じて、インバータ回路172中のトランジスタP4およびN4は遮断状態となるため、ノードDはフローティング状態となる。一方、ラッチ回路174中のインバータ回路176bは、時刻t1においてイコライズ信号EQが“H”レベルとなることに応じて、活性状態となっているため、ラッチ回路174は、ノードDの電位レベル、すなわちラッチ回路174の入力ノードEの電位レベルに対応して、ノードEの電位レベルを“H”レベルに、その出力ノードをFの電位レベルを“L”レベルに保持する。

【0112】時刻t3において、ノードA、BおよびCの電位レベルはすべて中間レベルとなるが、ラッチ回路174の働きにより、ノードDおよびEの電位レベルは“H”レベルに、ラッチ回路174の出力ノードFの電位レベルは“L”レベルに維持されている。

【0113】時刻t4においてイコライズ信号EQが非活性状態（“L”レベル）となることに応じて、トランスミッションゲート104は遮断状態となり、センスアンプからの読出データに応じてバッファ回路100の入力ノードAの電位レベルが“L”レベルに変化し、それに応じてバッファ回路100の出力ノードBの電位レベルは“H”レベルに向かって変化し始める。したがって、出力駆動回路170の入力ノードCの電位レベルも

ノードBの電位レベルの変化に応じて、“H”レベルに向かって変化し始めるが、インバータ回路172は非活性状態であるため、ノードDはフローティング状態である。一方、ラッチ回路174中のインバータ回路176bは、イコライズ信号EQが非活性状態となるのに応じて非活性状態となるが、ノードDの電位レベル、すなわちラッチ回路174の入力ノードEの電位レベルが

“H”レベルに維持されるため、ラッチ回路174の出力ノードFの電位レベル、すなわちデータ入出力端子36の電位レベルは依然として“L”レベルに保持される。

【0114】時刻t5において、信号/EQ1が“H”レベルに、信号EQ1が“L”レベルとなることに応じて、出力駆動回路170中のインバータ回路172は活性状態となる。このため、入力ノードCの電位レベルに対応した、インバータ回路172の出力ノードDの電位レベルは“L”レベルに向かって変化し始める。つまり、ラッチ回路174の入力ノードEの電位レベルも“L”レベルに向かって変化し始め、これに応じて、出力ノードFの電位レベルはセンスアンプから出力された読出データに対応して、“H”レベルに変化し始める。

【0115】時刻t6において、出力駆動回路170の出力ノードFの電位レベルが“H”レベルとなって、読出データに対応する電位レベルが確定する。

【0116】出力駆動回路170が、ラッチ回路174を含まない場合、すなわちノードEとノードFが直接接続されている場合は、信号EQ1が“H”レベルである期間は、データ入出力端子36はフローティング状態となってしまう、データ入出力端子36の電位レベルを入力として受けるCMOS回路に貫通電流が生じる可能性がある。

【0117】本実施の形態では、ラッチ回路174が、データ入出力端子36の電位レベルを“H”レベルあるいは“L”レベルに保持するため、このような問題が生じない。しかも、ラッチ回路174に含まれるインバータ回路176bは、イコライズ信号EQが活性である期間中は非活性となっているため、この回路に余分な貫通電流が流れるということがない。

【0118】【実施の形態5】図10は、本発明の実施の形態5のバッファ回路120および出力駆動回路190の構成を示す回路図である。

【0119】バッファ回路120は、実施の形態2におけるバッファ回路120と同様に、信号EQ1により活性/不活性となるインバータ回路122と、信号EQおよび/EQにより、導通/非導通状態となるトランSMISSIONゲート124を含む。その構成は、実施の形態2におけるバッファ回路と同様であるため、同一部分に同一参照符号を付して、その説明は省略する。

【0120】ただし、信号EQ1および信号/EQ1は、図5に示した実施の形態2とは異なり、たとえば遅

延回路等により信号EQおよび/EQに対して所定の時間T1だけ遅延して変化する信号であるものとする。

【0121】一方、出力駆動回路190は、I/O線の電位レベルを入力として受け、イコライズ信号EQおよび/EQにより導通/非導通状態となるトランSMISSIONゲート192と、トランSMISSIONゲート192の出力ノードB'と入力ノードが接続し、出力ノードがデータ入出力端子36と接続するラッチ回路194とを含む。

【0122】トランSMISSIONゲート192は、I/O線とラッチ回路194の入力ノードB'との間に互いに並列に接続されるPチャネルMOSトランジスタP9およびNチャネルMOSトランジスタN9を含む。トランジスタP9のゲートは信号EQを受け、トランジスタN9のゲートは信号/EQを受ける。

【0123】ラッチ回路194は、入力がラッチ回路194の入力ノードB'と接続し、出力がデータ入出力端子36と接続するインバータ回路196aと、入力がインバータ回路196aの出力ノードと接続し、出力がインバータ回路196aの入力と接続するインバータ回路196bを含む。インバータ回路196aは、電源電位Vccと接地電位Vssとの間に直列に接続され、ゲートがともにノードB'と接続するPチャネルMOSトランジスタP2およびNチャネルMOSトランジスタN2を含む。一方、インバータ回路196bは、電源電位Vccと接地電位Vssとの間に直列に接続され、ともにゲートにインバータ回路196aの出力電位を受けるPチャネルMOSトランジスタP10とNチャネルMOSトランジスタN10とを含む。インバータ回路196bの出力ノードはインバータ回路196aの入力ノードB'と接続している。

【0124】次に動作について簡単に説明する。図11は、図10に示したバッファ回路120および出力駆動回路190の動作を示すタイミングチャートである。

【0125】時刻t0において、イコライズ信号EQは非活性状態(“L”レベル)であるものとし、バッファ回路120の入力ノードAは“H”レベルであるものとする。一方、信号EQ1は“H”レベルであり、信号EQ1は“L”レベルであって、トランジスタN5およびトランジスタP5はともに導通状態であるものとする。このため、トランジスタP5、P1、N1およびN5で構成されるインバータ回路122は活性状態であって、その出力ノードBの電位レベルは“L”レベルであるものとする。また出力駆動回路190中のトランSMISSIONゲート192は、導通状態であって、ノードB'の電位レベルはバッファ回路120の出力ノードBの電位レベルと同じく“L”レベルである。したがって、ノードB'の電位レベルを入力として受けるラッチ回路194の出力ノードCと接続するデータ入出力端子36の電位レベルは“H”レベルである。

【0126】時刻 t_1 において、イコライズ信号EQが活性状態（“H”レベル）となることに応じて、バッファ回路180中のトランSMissionゲート184は導通状態となり、ノードAおよびノードBの電位レベルはそれぞれ中間レベルに向かって変化し始める。

【0127】時刻 t_1 よりも所定の時間 T_1 だけ遅延した時刻 t_2 において、信号EQ1が“L”レベルから“H”レベルに変化する。これに依て、インバータ回路122中のトランジスタP5およびN5は非導通状態となり、以後はこのインバータ回路に貫通電流は流れない。

【0128】時刻 t_3 において、イコライズ信号EQが再び非活性状態となり、センスアンプからの読出データに依て、バッファ回路120の入力ノードAの電位レベルは“L”レベルに向かって変化し始める。一方、この時点では、まだ信号EQ1が“H”レベルであるため、インバータ回路122中のトランジスタN5およびP5はともに非導通状態であって、インバータ回路122の出力ノードBの電位レベルは変化しない。一方、イコライズ信号EQの非活性化に伴って、トランSMissionゲート192は導通状態となるが、I/O線の配線容量が極めて大きいので、ラッチ回路194の入力ノードB'の電位レベルはほとんど変化しない。

【0129】時刻 t_4 において、信号EQ1が“L”レベルとなるのに依て、トランジスタN5およびP5が導通状態となって、インバータ回路122は活性状態となる。このため、ノードAの電位レベルに依て、ノードBの電位レベルは“H”レベルに向かって変化し始める。これに依て、ラッチ回路194の入力ノードB'の電位レベルも“H”レベルに変化し始める。したがって、ラッチ回路194の出力ノードC、すなわちデータ入出力端子36の電位レベルは“H”レベルから“L”レベルに変化をし始める。

【0130】時刻 t_5 において、ノードBおよびB'の電位レベルは“H”レベルとなって、ノードCの電位レベルが“L”レベルとなり、データ入出力端子36の電位レベルが確定する。

【0131】実施の形態5のバッファ回路120および出力駆動回路190は上記のような構成となっているので、I/O線対電位のイコライズ期間中も、データ入出力端子36がフローティング状態となることがなく、データ入出力端子36に接続するCMOS回路に貫通電流が生じるということがない。この場合、I/O線電位のイコライズ期間中はトランSMissionゲート192が非導通状態となっているためラッチ回路194の入力ノードB'の電位レベルはラッチ回路の働きによって安定化している。言い換えれば、ノードB'の電位レベルはイコライズされないことになるが、バッファ回路180の出力ノードB点、リードデータ線のような配線容量の大きなものとの接続ノードである場合、本実施の形態

のようにI/O線容量のみのプリチャージでもアクセス時間の高速化には十分である。

【0132】〔実施の形態6〕図12は、本発明の実施の形態6のバッファ回路120および出力駆動回路210の構成を示す回路図である。

【0133】実施の形態5のバッファ回路120および出力駆動回路190の構成と異なる点は、実施の形態5における出力駆動回路190中のラッチ回路194において、PチャネルMOSトランジスタP10と電源電位Vccとの間に、ゲートにイコライズ信号EQを受けるPチャネルMOSトランジスタP11が接続され、NチャネルMOSトランジスタN10と接地電位Vssとの間に、ゲートに信号/EQを受けるNチャネルMOSトランジスタN11が接続される構成となっていることである。

【0134】したがって、本実施の形態ではラッチ回路214を構成するインバータ回路216bはイコライズ期間は、活性となるが、その他の期間はこのインバータ回路216bは非活性である。

【0135】したがって、ラッチ回路214は、図11において、時刻 t_1 から時刻 t_3 の期間のみラッチ回路としてデータを保持し、時刻 t_3 以降は、PチャネルMOSトランジスタP2およびNチャネルMOSトランジスタN2よりなるインバータ回路216aのみが動作することになる。

【0136】この場合でも、時刻 t_3 から時刻 t_4 においてはノードB'の電位レベルはラッチされていた電位レベルからほとんど変化しないため、ノードB'およびCの電位レベルの変化は図11に示したものとほぼ同様である。ただし、ラッチ回路が保持データを反転させる期間、すなわち時刻 t_4 から時刻 t_5 の期間においてインバータ回路216bは非活性となっているため、このインバータ回路を流れる貫通電流が抑制され、その分消費電流の増加を抑えることが可能となる。

【0137】〔実施の形態7〕図13は、本発明の実施の形態7のバッファ回路100および出力駆動回路230の構成を示す回路図である。

【0138】実施の形態7の構成は、図1に示した実施の形態1の構成と以下の点で異なる。

【0139】すなわち、実施の形態7の出力駆動回路230においては、実施の形態1における出力駆動回路110の構成に加えて、トランジスタP4、P2、N2およびN4から構成されるクロックドインバータ回路232の出力ノード、すなわちデータ入出力端子36と電源電位Vccとの間に、ゲートに信号/EQを受けるPチャネルMOSトランジスタP12が接続される構成となっている。

【0140】したがって、I/O線対のイコライズ期間中、すなわちイコライズ信号EQが“H”レベル、信号/EQが“L”レベルとなって、クロックドインバータ

10

20

30

40

50

回路132が非活性となっている期間中は、PチャネルMOSトランジスタP12が導通状態となって、データ入出力端子36の電位レベルは電源電位Vccに固定される。このため、データ入出力端子36が、イコライズ期間中もフローティング状態となることがなく、このデータ入出力端子36の電位レベルを入力として受けるCMOS回路に貫通電流が生じるということがない。

【0141】しかも、本実施の形態では、新たに追加される素子数が少ないため、小さいレイアウト面積で低消費電力はバッファ回路および出力駆動回路を構成することが可能である。

【0142】[実施の形態8] 図14は、本発明の実施の形態8のバッファ回路100および出力駆動回路250の構成を示す回路図である。

【0143】図13に示した実施の形態7のバッファ回路100および出力駆動回路230の構成と異なる点は、出力駆動回路250においては、データ入出力端子36と接地電位Vssとの間にゲートにイコライズ信号EQを受けるNチャネルMOSトランジスタN12が接続される構成となっている点である。

【0144】したがって、本実施の形態においては、I/O線の電位レベルがイコライズされる期間中はトランジスタN12が導通状態となって、データ入出力端子36の電位レベルは接地電位Vssに固定される。

【0145】したがって、本実施の形態でも、実施の形態7と同様の効果を奏する。

【実施の形態9】 図15は、本発明の実施の形態9のビット線負荷回路300、ビット線イコライズ回路320およびメモリセル220の構成を示す概略ブロック図である。

【0146】図19に示した従来のビット線負荷回路においては、ビット線対の電位レベルのイコライズ期間中はビット線電位が中間レベルとなるために、これに接続するCMOS回路を介して、電源電位Vccから接地電位Vssに貫通電流のパスが生じ、消費電流の増加を招くという問題点があった。

【0147】本実施の形態では、上記のような問題点を解決するために、以下のような構成となっている。

【0148】実施の形態9の半導体記憶装置においては、ビット線対BLおよび/BLと電源電位Vccとの間に接続されるビット線負荷回路300と、ビット線BLと/BLとの間に接続されるビット線負荷回路320と、ビット線対間に接続される複数のメモリセル220とを含む。

【0149】ビット線イコライズ回路320は、ゲートにイコライズ信号EQの反転信号/EQを受け、ビット線BLと/BLとの間に接続されるPチャネルMOSトランジスタP20を含む。

【0150】ビット線負荷回路300は、ゲートに接地電位Vssを受け、ソースがそれぞれ電源電位Vccと

接続する1対のPチャネルMOSトランジスタP21およびP22と、トランジスタP21およびP22のドレインとソースがそれぞれ接続し、ゲートにイコライズ信号EQを受ける1対のPチャネルMOSトランジスタP23およびP24を含む。

【0151】次に動作について説明する。ビット線対電位のイコライズ期間中は、信号EQは“H”レベル、信号/EQは“L”レベルとなる。したがって、PチャネルMOSトランジスタP20は導通状態となって、ビット線BLと/BLとが短絡される。

【0152】一方、ゲートにイコライズ信号EQを受けるPチャネルMOSトランジスタP23およびP24はともに遮断状態となって、電源電位Vccとビット線対との接続が遮断される。このため、イコライズ期間中においても、ビット線対BLおよび/BLに接続するCMOS回路を介して貫通電流が発生するということがない。

【0153】したがって、半導体記憶装置の低消費電力化が達成される。

20 【実施の形態10】 図16は、本発明の実施の形態10の半導体記憶装置におけるビット線イコライズ回路320、メモリセル220、ビット線負荷回路380およびビット線負荷制御回路400の構成を示す概略ブロック図である。

【0154】図15に示した実施の形態9と異なる点は、ビット線負荷回路380の構成と、このビット線負荷回路を制御するビット線負荷制御回路400を含む構成となっている点である。

30 【0155】その他同一部分には同一符号を付して説明は省略する。実施の形態10のビット線負荷回路380は、ビット線対BLおよび/BLと電源電位Vccとの間にそれぞれ接続され、ゲートにビット線負荷制御回路400の出力電位を受ける1対のPチャネルMOSトランジスタP21およびP22を含む。

【0156】ビット線負荷制御回路400は、入力にイコライズ信号の反転信号/EQと書込制御信号/WEを受け、出力ノードがPチャネルMOSトランジスタP21およびP22のゲートに接続するNAND回路402を含む。

40 【0157】次にその動作について説明する。図17は、図16に示した実施の形態10の動作を示すタイミングチャートである。

【0158】図17では、NAND回路402の出力信号をEQWで表わす。すなわち、ビット線負荷トランジスタP21およびP22のゲート入力を“L”固定とするのではなく、イコライズ信号/EQと書込制御信号/EQの論理積の信号EQWで制御する構成となっている。

50 【0159】まず、書込動作時は信号/WEが“L”レベルとなるため、信号WEQが“H”レベルとなり、ビット線負荷トランジスタP21およびP22は遮断状態

となる。したがって、図3におけるライトドライバ回路30が書込データに応じてビット線BLの電位レベルを“L”レベルとすると、電源電位Vccとビット線との接続が遮断されているため、余分な貫通電流が流れるということがない。一方、読出動作時にはアドレスの切替わりが検出されると、イコライズ信号/EQが“L”レベルとなるため、ビット線イコライズトランジスタP20が導通状態となるとともに、信号WEQが“H”レベルとなって、ビット線負荷トランジスタP21およびP22は遮断状態となる。したがって、イコライズ動作時において電源電位Vccとビット線との接続が遮断されるため、貫通電流が流れる経路が遮断される。このため、イコライズ動作に伴う消費電流の増加が抑制される。

【図面の簡単な説明】

【図1】 本発明の実施の形態1のバッファ回路100および出力駆動回路110の構成を示す回路図である。

【図2】 実施の形態1の動作を示すタイミングチャートである。

【図3】 本発明の実施の形態1の半導体記憶装置1000の構成を示す概略ブロック図である。

【図4】 本発明の実施の形態2の出力バッファ回路120および出力駆動回路110の構成を示す回路図である。

【図5】 実施の形態2の動作を示すタイミングチャートである。

【図6】 制御信号発生回路140の構成を示す概略ブロック図である。

【図7】 本発明の実施の形態3のバッファ回路100および出力駆動回路160の構成を示す回路図である。

【図8】 本発明の実施の形態4のバッファ回路100および出力駆動回路170の構成を示す回路図である。

【図9】 実施の形態4の動作を示すタイミングチャートである。

【図10】 本発明の実施の形態5のバッファ回路120および出力駆動回路190の構成を示す回路図である。

【図11】 実施の形態5の動作を示すタイミングチャートである。

【図12】 本発明の実施の形態6のバッファ回路120

0および出力駆動回路210の構成を示す回路図である。

【図13】 本発明の実施の形態7のバッファ回路100および出力駆動回路230の構成を示す回路図である。

【図14】 本発明の実施の形態8のバッファ回路100および出力駆動回路250の構成を示す回路図である。

【図15】 本発明の実施の形態9のビット線負荷回路300の構成を示す概略ブロック図である。

【図16】 本発明の実施の形態10のビット線負荷回路380の構成を示す概略ブロック図である。

【図17】 実施の形態10の動作を説明するタイミングチャートである。

【図18】 従来のバッファ回路2002および出力駆動回路2100の構成を示す回路図である。

【図19】 従来のバッファ回路2002および出力駆動回路2100の動作を示すタイミングチャートである。

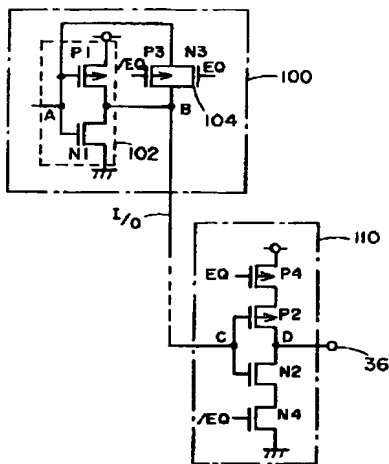
【図20】 従来のSRAM2000の構成を示す概略ブロック図である。

【図21】 従来のビット線負荷回路の構成を示す概略ブロック図である。

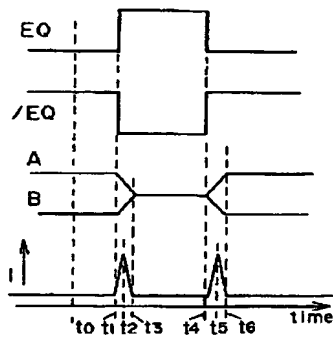
【符号の説明】

2 アドレス入力端子群、4、6 外部制御信号入力端子、8 アドレス入力バッファ回路、10 制御回路、12 行アドレス選択デコーダ、14 ワード線、16 列アドレス選択デコーダ、18 ビット線選択トランスファークロスタック、20 ビット線対、22 メモリセル、24 ビット線負荷回路、26 I/O線対、28 センサアンプ+I/O回路、30 ライトドライバ回路、32データ出力バッファ回路、34 データ入力バッファ回路、36 データ入出力信号端子、38 ATD回路、40 ビット線負荷回路、42 センサアンプ+I/O回路、44 出力バッファ回路、100、120 バッファ回路、110、160、170、190、210、230、250 出力駆動回路、300、380 ビット線負荷回路、320 ビット線イコライズ回路、400 ビット線負荷制御回路。

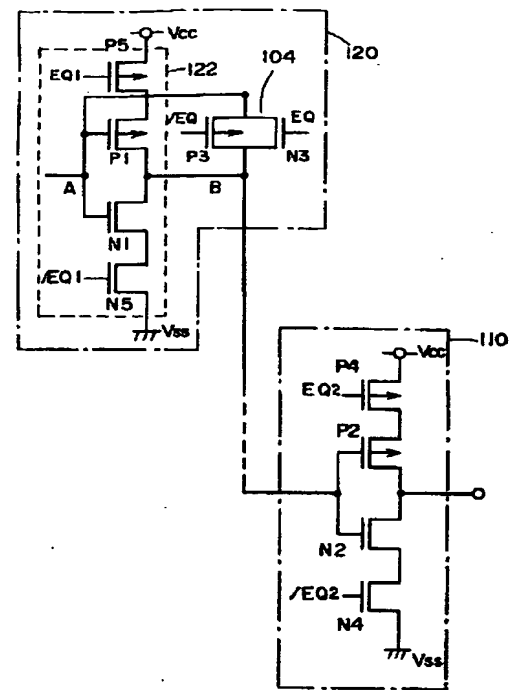
【図1】



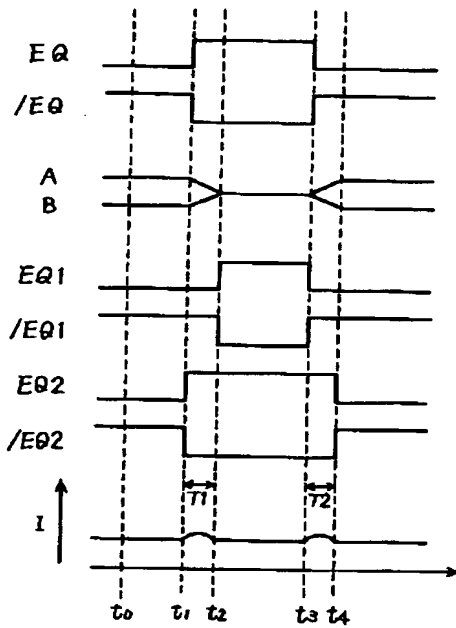
【図2】



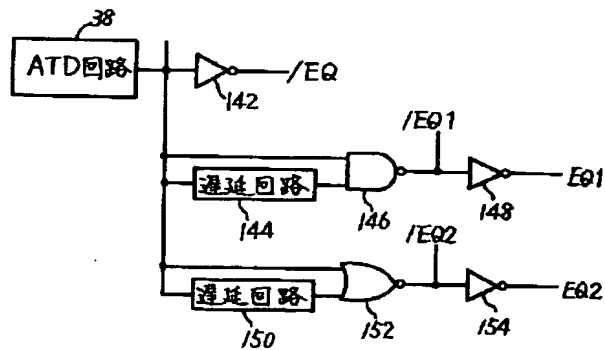
【図4】



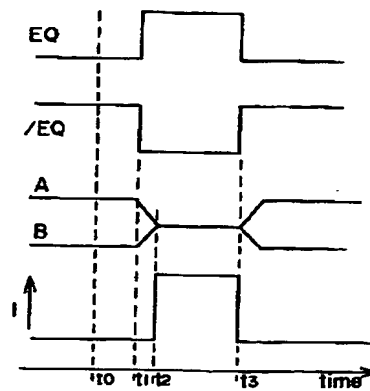
【図5】



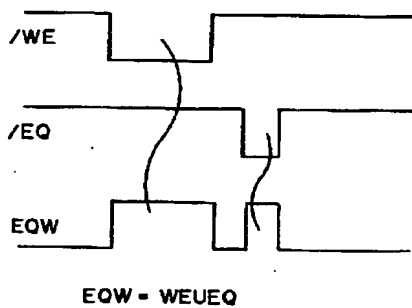
【図6】



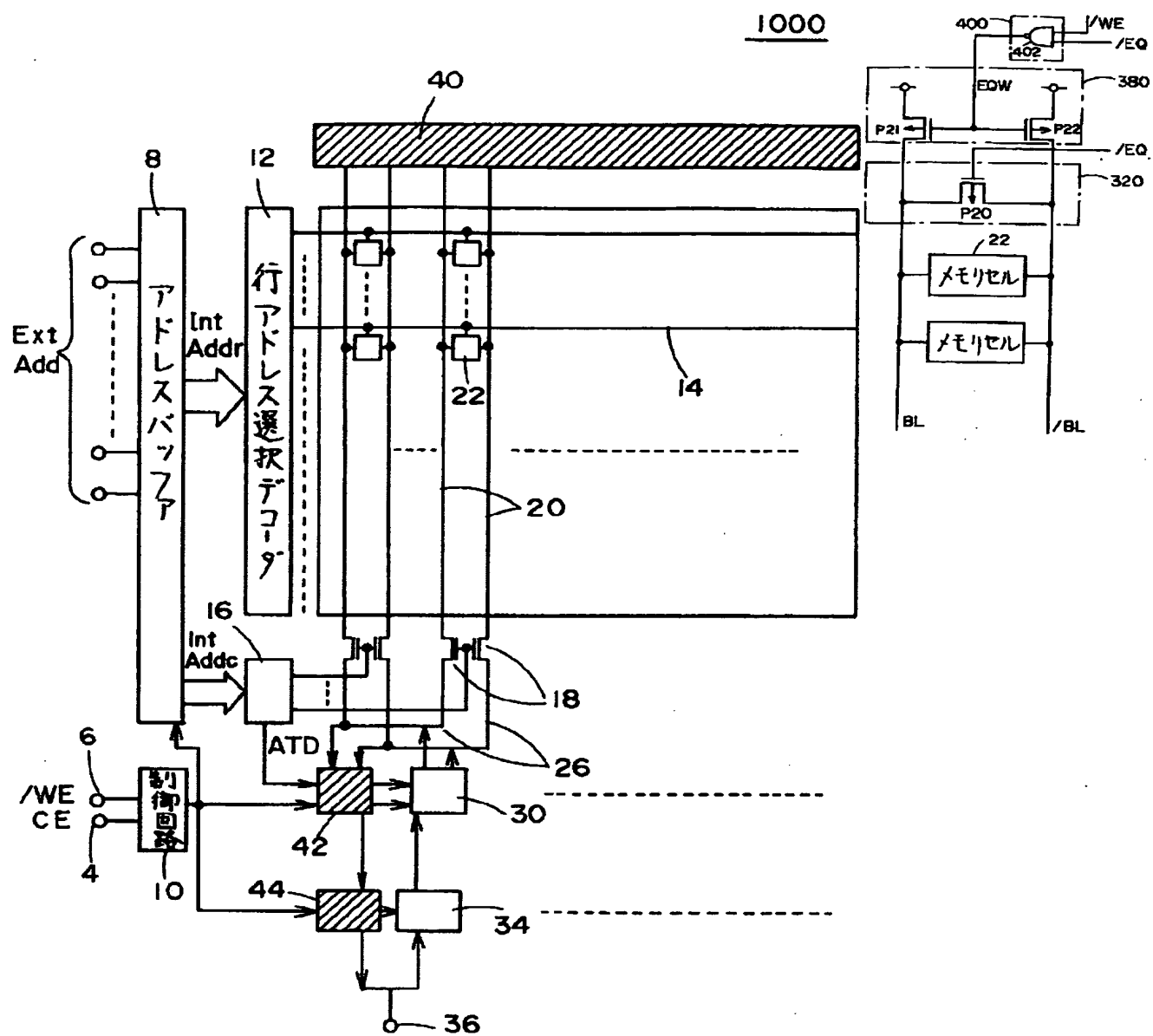
【図19】



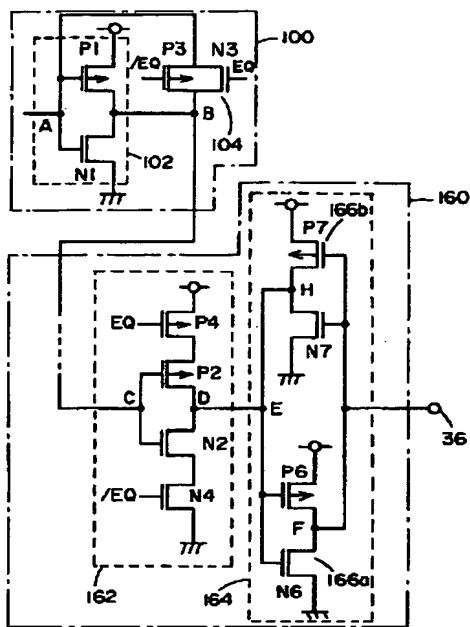
【図17】



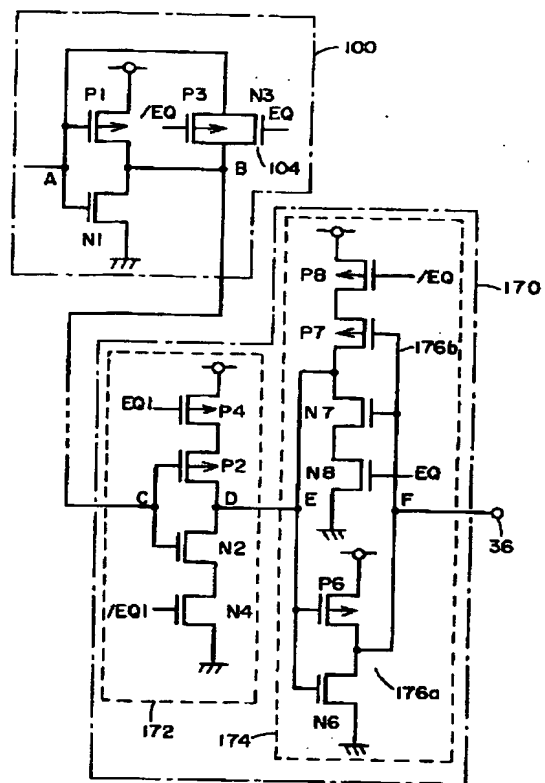
【图 16】



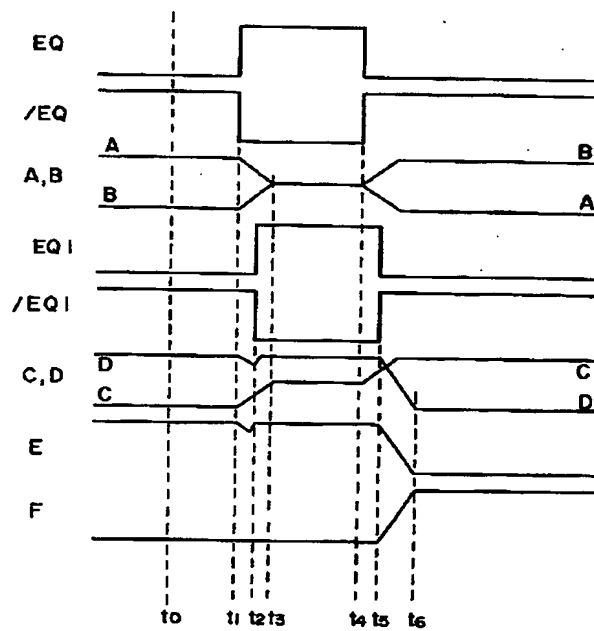
【図7】



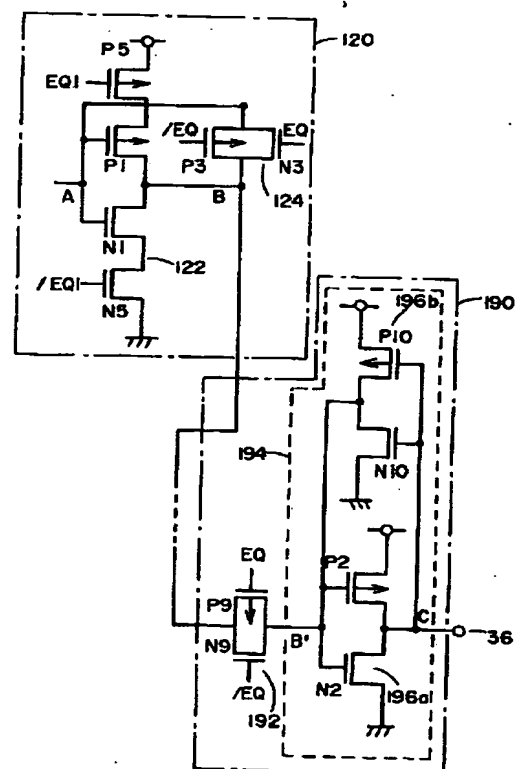
【図8】



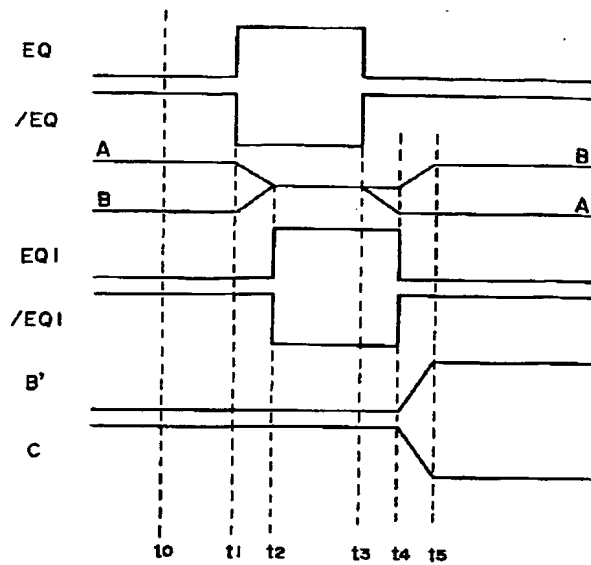
【図9】



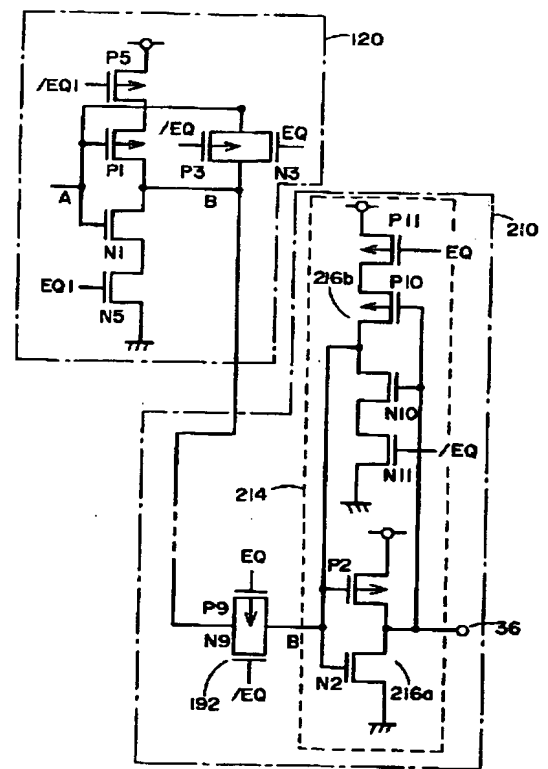
【図10】



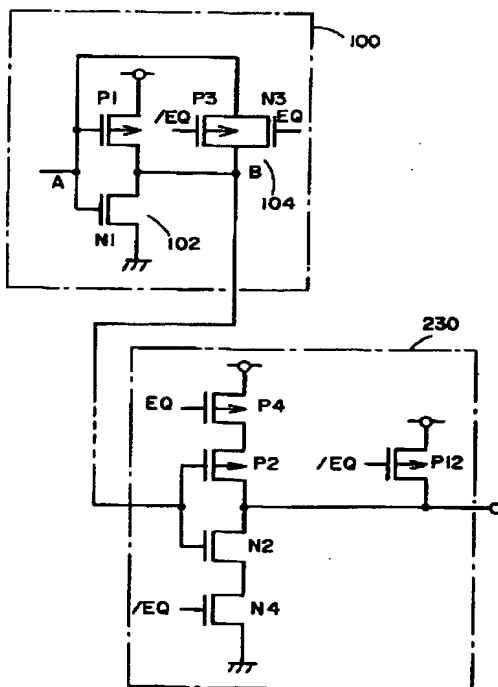
【図11】



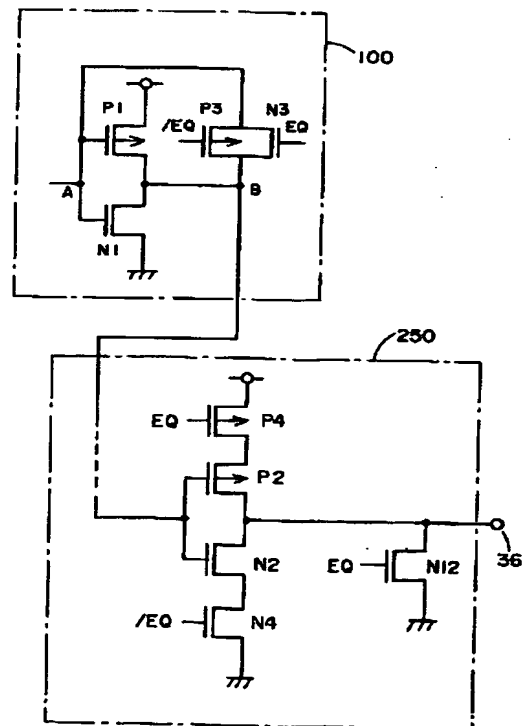
【図12】



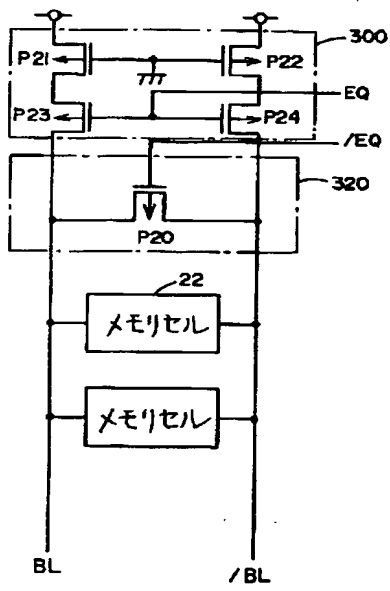
【図13】



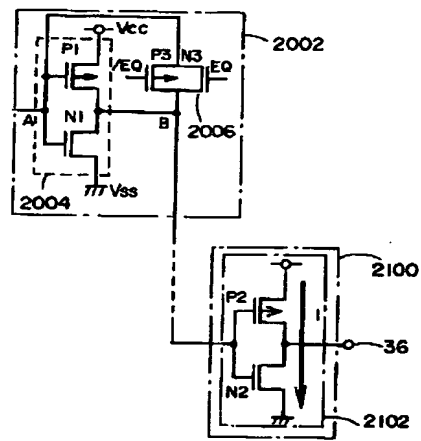
【図14】



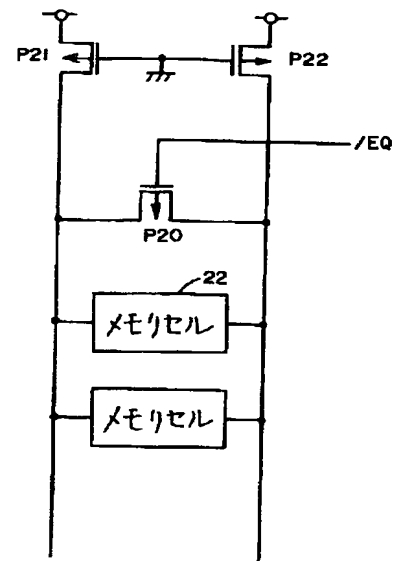
【図15】



【図18】



【図21】



【図20】

2000